

基于离散模型的 IC 可靠性与成品率关系

赵天绪,郝 跃,陈太峰,马佩军

(西安电子科技大学微电子所,陕西西安 710071)

摘 要: 集成电路的可靠性和成品率是制约半导体制造发展的两个主要因素.如何表征可靠性和成品率之间的关系是一个非常重要的问题.本文利用一种离散的成品率模型导出了二者的关系式,该关系式不仅考虑了线宽、线间距等版图的几何信息同时还考虑了与工艺有关的缺陷粒径分布等参数.通过模拟实验给出了该模型的有效性验证.

关键词: 可靠性;成品率;缺陷粒径分布

中图分类号: TN406 **文献标识码:** A **文章编号:** 0372-2112 (2001) 11-1515-04

Relation Between Reliability and Yield of IC s Based on Discrete Model

ZHAO Tian-xu,HAO Yue ,CHEN Tai-feng ,MA Pei-jun

(Microelectronics Institute of Xidian University, Xi 'an, Shanxi 710071, China)

Abstract: Yield and reliability are two important factors affecting the development of semiconductor manufacturing. It is an important problem how to express the relation between yield and reliability. In this paper, a discrete yield model is given between yield and reliability ,with many factors considered in this model ,such as the line width ,the spacing between the lines as well as the distribution of the defect size and so on. Finally ,the validity of this model is shown by simulation.

Key words: reliability ;yield ;distribution of the defect size

1 引言

集成电路的成品率和可靠性是决定半导体产品市场竞争和质量的重要因素,尤其随着集成电路复杂度与芯片面积增加、特征尺寸和栅氧厚度的减小,其影响将进一步增加^[1~3].图 1 给出了集成电路,尤其是目前超大规模集成电路成品率损失的主要模式.可以看出有三类参数严重地影响着 IC 的成品率和可靠性:(1)与设计有关的参数,如芯片面积和栅氧化层厚度等;(2)工艺有关的参数,如缺陷的分布和密度;(3)与运行环境有关的参数,如温度和电压等.一般的,可靠性与这三个参数均有关系,而成品率受设计参数和与工艺相关的参数的影响.从可靠性和成品率所受的参数影响来看,可靠性和成品率之间存在着某种关系.然而,如何来表征成品率和可靠性之间的关系,目前还不是十分清楚^[4].本文基于一种新型的离散的成品率模型推导出了可靠性和成品率之间的关系模型.该模型中不仅考虑了与芯片面积有关的线宽、线间距等版图信息,而且还考虑了与工艺有关的缺陷粒径大小、粒径分布等参数,并通过模拟实验验证了该关系表达式的有效性.

2 成品率模型

大量研究证明,缺陷在芯片上并非均匀分布的,而是具有成团效应. Stapper 研究了缺陷在晶片上的分布,成功地应用负二项式分布模型表征了缺陷在晶片上分布的成团效应. Stapper 假定缺陷在芯片上服从参数为 λ 的 Poisson 分布,同时认

为 X 是一随机变量,服从 λ -分布.将 Poisson 分布和 λ -分布复合便得到了负二项式分布模型^[5]

$$Pr(X = k) = \frac{(\lambda + k)!}{k! (\lambda)!} \cdot \frac{(\lambda / k)^k}{(1 + \lambda / k)^{k+1}} \quad (1)$$

其中 λ 是成团因子, k 表示了芯片上的平均缺陷数.

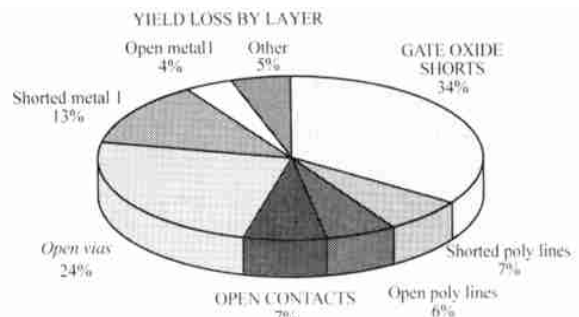


图 1 集成电路成品率损失的主要模式

虽然负二项式分布模型既表征了缺陷在晶片上的成团分布效应,又提高了成品率的预测精度.但是,该分布模型只涉及缺陷的密度而没有涉及缺陷数自身的分布,而且该模型用连续的 λ -函数去近似缺陷密度的分布函数.众所周知,晶片上的缺陷是可辨析的和可数的,因此晶片上的缺陷数是一个离散变量.用一个连续函数去近似晶片上的缺陷数分布是不恰当的.缺陷数应该按照无缺陷的芯片率来进行分析,由于连

收稿日期:2000-12-04;修回日期:2001-05-31

基金项目:国家“九五”科技攻关项目(No. 96-738-01-03-10);国防科技基金(No. 8.5.3.4)

续分布函数不能正确地表征芯片无缺陷的概率,因此用 λ -分布函数表征芯片的无缺陷情况是不准确的.为了克服上述不足,用离散的指数分布模型来表征缺陷数的分布更为适合^[6],其基本模型可以表示为:设 n 表示缺陷数, h 为一个参数,那么

$$f(n) = \lambda^n \exp(-\lambda n), n=0,1,2, \dots \quad (2)$$

由于 $f(n)$ 为概率密度函数,因此有

$$f(n) = (1 - \exp(-\lambda)) \exp(-\lambda n), n=0,1,2, \dots \quad (3)$$

如果在 IC 生产过程中存在 m 种缺陷源(即 IC 制造过程中的工艺步骤数),那么可以用卷积来表示由 m 种缺陷源产生的缺陷数分布

$$f_m(n) = \frac{\lambda^m}{(m-1)!} (1 - \exp(-\lambda))^{m-1} \exp(-\lambda n) \quad (4)$$

式(4)的均值为

$$\frac{m \exp(-\lambda)}{1 - \exp(-\lambda)} \quad (5)$$

用离散指数分布模型表征的成品率模型为

$$Y = (1 - \exp(-\lambda))^m \quad (6)$$

每个芯片的平均缺陷数

$$\mu_y = A_y D_0 \quad (7)$$

其中 A_y 表示芯片的成品率关键面积, D_0 表示单位芯片面积上的平均缺陷数.

由式(5)和式(7)可以得到

$$h = \ln(1 + m/A_y D_0) \quad (8)$$

将式(8)代入式(6)可得

$$Y = 1 / (1 + D_0 A_y / m)^m \quad (9)$$

大量实验表明,离散的指数分布模型可以有效地表征芯片或图片上的缺陷数分布^[6].

3 成品率和可靠性关系模型

在 t 时刻芯片的可靠性可由 $R(t) = Pr\{\text{失效时间} > t\}$ 给出.设 μ_r 表示造成 IC 芯片失效的可靠性缺陷的平均数,那么 $\mu_r = A_r D_0$,其中 A_r 为芯片的可靠性关键面积.如果缺陷是随机分布的,那么

$$R(t) = e^{-\mu_r t} = e^{-A_r D_0 t} \quad (10)$$

由式(9)和式(10)可得成品率和可靠性之间的关系式

$$R(t) = \exp\left(-\frac{m(1 - Y^{1/m})}{Y^{1/m}} \cdot \frac{A_r}{A_y}\right) \quad (11)$$

4 关键面积 A_y 和 A_r 的计算

4.1 成品率关键面积 A_y 的计算

关键面积对 IC 成品率和可靠性预测很重要.对于一定粒径(尺寸)的缺陷而言,并非所有落在芯片上的缺陷都能引起电路的失效,只有出现在芯片的某个特殊区域的缺陷才能引起电路的故障.这个特殊区域被称为关键区域,关键区域的面积被称为关键面积(该面积越大说明失效的概率越大).因此,芯片的关键面积与缺陷的粒径直接有关.用 $h(R)$ 表示粒径为 R 的缺陷的概率密度函数,实验表明它可表征为:

$$h(R) = \begin{cases} R_0^{-2} R, & 0 \leq R < R_0 \\ R_0^2 R^{-3}, & R_0 \leq R < \dots \end{cases} \quad (12)$$

式中 R_0 是最大峰值粒径^[7].设金属线之间的间距为 s ,线宽为 w ,用 $h(R)$ 表示粒径为 R 的缺陷造成电路故障的概率.那么

$$h(R) = \begin{cases} 0, & \text{当 } 0 < R \leq s \\ \frac{R-s}{s+w}, & \text{当 } s \leq R \leq 2s+w \\ 1, & \text{当 } 2s+w \leq R \end{cases} \quad (13)$$

平均失效率为:

$$= \int_0^\infty h(R) h(R) dR = \frac{R_0^2}{2s(2s+w)} \quad (14)$$

因此,成品率关键面积 A_y 为

$$A_y = A_{\text{chip}} = \frac{A_{\text{chip}} R_0^2}{2s(2s+w)} \quad (15)$$

4.2 可靠性关键面积 A_r 的计算

不同粒径的缺陷可以出现在芯片上的任何位置,缺陷出现的位置及粒径大小直接影响着芯片的寿命期望值.如果缺陷的粒径非常小时,缺陷对芯片的影响可以忽略;缺陷的粒径非常大时,无论缺陷出现在芯片的任何位置均造成电路失效,从而引起芯片成品率的下降;而中等粒径的缺陷对芯片成品率或可靠性均有影响,影响的程度取决于缺陷出现在芯片上的位置和粒径^[8].如图2所示.

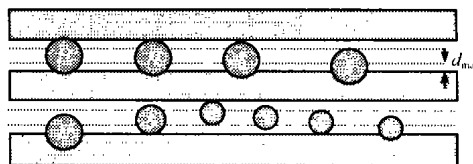


图2 缺陷的位置与对应的故障之间的关系

H :成品率缺陷; S :可靠性缺陷; N :未造成故障的缺陷

造成成品率损失的缺陷称为成品率缺陷;引起可靠性问题的缺陷称为可靠性缺陷.成品率缺陷是指 IC 电路设计中没有连结而在制造时被完全连结起来的冗余物,如图2中缺陷 H ;可靠性缺陷是指两个结构虽然没有被冗余物连结起来,但是该冗余物却造成两个结构之间的距离小于给定的距离 d_{\max} ,这样的冗余物缺陷被称为可靠性缺陷,如图2中的缺陷 S .为了给出可靠性缺陷的平均故障率,首先给出粒径为 R 的成品率缺陷及可靠性缺陷的故障率^[5]

$$y_{\&r}(R) = \begin{cases} 0, & 0 < R \leq s - d_{\max} \\ \frac{R + 2d_{\max} - s}{s + w}, & s - d_{\max} \leq R \leq 2s + w - 2d_{\max} \\ 1, & 2s + w - 2d_{\max} \leq R \end{cases} \quad (16)$$

那么可靠性缺陷的平均失效率为

$$r = \int_0^\infty (y_{\&r}(R) - y(R)) h(R) dR = \frac{d_{\max} R_0^2 (6s^3 + 8s^2 w + 2sw^2 + 2sd_{\max}^2 + 2wd_{\max}^2 - 8s^2 d_{\max} - w^2 d_{\max})}{2s(s+w)(2s+w)(2s+w-d_{\max})(s-d_{\max})^2} \quad (17)$$

因此,IC 的可靠性关键面积 A_r 为

$$A_r = A_{\text{chip}} r$$

$$= \frac{A_{chip} d_{max} R_0^2 (6s^3 + 8s^2w + 2sw^2 + 2sd_{max}^2 + 2wd_{max}^2 - 8s^2 d_{max} - w^2 d_{max})}{2s(s+w)(2s+w)(2s+w-d_{max})(s-d_{max})^2} \quad (18)$$

将式(15)和式(18)代入式(11)便可得到 IC 可靠性和成品率的关系。

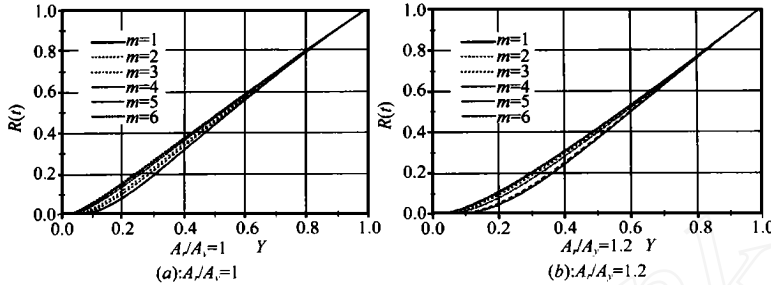


图 3 在不同的 A_x/A_y 下,芯片可靠性与成品率之间的关系 m 的变化情况

图 3 中的 (a) 和 (b) 分别给出了在 $A_x/A_y = 1$ 和 $A_x/A_y = 1.2$ 时,可靠性和成品率之间的关系随 IC 制造过程中缺陷源 m 的变化情况。从图中可以看出,在可靠性关键面积和成品率关键面积的比值给定的情况下,芯片的可靠性和成品率之间的关系几乎不随 m 变化而变化。这一点是合理的,其原因是在分析芯片成品率和可靠性的时候综合考虑了缺陷对芯片可靠性和成品率的影响,在 A_x/A_y 给定的情况下,意味着缺陷对可靠性的影响和成品率的影响都是一定的。

图 4 给出了在 $m = 1$ 的情况下 IC 的可靠性和成品率随可靠性关键面积与成品率关键面积的比值变化的情况。从图 4

5 实验与分析

式(11)给出了集成电路芯片的可靠性和成品率之间的关系。从式(11)可以看出,成品率和可靠性的关系受可靠性关键面积与成品率关键面积之比以及 IC 制造过程中缺陷的种类的影响。该公式的有效性可以通过实验来说明。

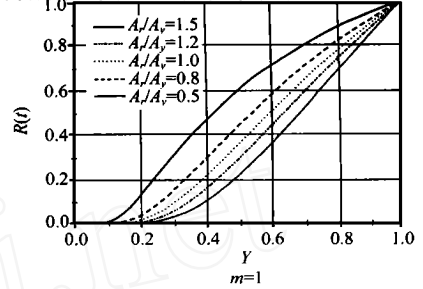


图 4 芯片可靠性和成品率关系随可靠性关键面积与成品率关键面积的比值变化情况

可以看出,在同一个成品率的条件下,芯片的可靠性随着可靠性关键面积与成品率关键面积的比值的增大在下降,随着可靠性关键面积与成品率关键面积的比值的减小在提高。其主要原因是在芯片的成品率保持不变时,成品率关键面积保持不变,可靠性关键面积与成品率关键面积的增大意味着可靠性关键面积在增加,从而增加了可靠性故障发生的概率。从图中还可以看出,IC 的可靠性随着芯片的成品率的增加在增加。这进一步说明了高可靠性的产品来自于高成品率的工艺线,只有高成品率的工艺线才能生产出高可靠性的产品。

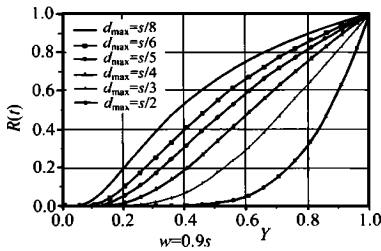


图 5 $w = 0.9s$ 时可靠性和成品率之间的关系随 d_{max} 的变化情况

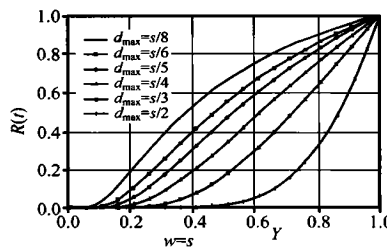


图 6 $w = s$ 时可靠性和成品率之间的关系随 d_{max} 的变化情况

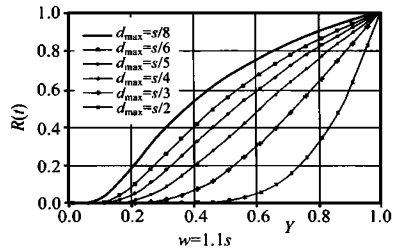


图 7 $w = 1.1s$ 时可靠性和成品率之间的关系随 d_{max} 的变化情况

图 5、图 6 和图 7 分别给出了线宽 $w = 0.9s$, $w = s$ 和 $w = 1.1s$ 的情况下,芯片的可靠性和成品率之间的关系随着 d_{max} 的变化情况。从这些图中可以看出,在同一个 d_{max} 下,芯片的可靠性和成品率之间的关系几乎不随线宽和线间距的变化而变化。其主要原因是当 d_{max} 给定时,缺陷对芯片的可靠性和成品率的影响保持不变,不随线宽和线间距的变化而变化。

从图中还可以看出,在同一个成品率条件下,随着 d_{max} 的增加芯片可靠性在下降。其主要原因是 d_{max} 的增加导致了芯片可靠性失效率的增加,从而造成了芯片可靠性的下降。

6 结论

在集成电路制造中,可靠性和成品率是紧密相关的,没有高的芯片成品率就很难保证有高的可靠性。但是,两者的定量

关系是什么,如何同步提高芯片的成品率和改善芯片的可靠性一直是 IC 可制造性设计研究的主要问题。本文结合一种离散的成品率模型给出了成品率和可靠性之间的表达式,该表达式中同时考虑了与设计有关的参数,如线宽、线间距等,和与工艺有关的参数,如缺陷的粒径分布模型。模拟和实验表明,当可靠性关键面积与成品率关键面积的比值给定的时候,芯片可靠性与成品率之间的关系不随缺陷源种类的变化而变化。当 d_{max} 给定时,芯片的可靠性和成品率之间的关系不随线宽和线间距的变化而变化。在同一个成品率条件下,可靠性随着参数 d_{max} 的增加而下降,随着参数 d_{max} 的减小而增加。芯片的可靠性随着成品率的增加而增加,这进一步说明高可靠性的产品来自于高成品率的生产线,只有高成品率的生产线才能生产出高可靠性的产品。

参考文献:

- [1] W C Riordan. Microprocessor reliability performance as a function of die location for 0.25um five layer metal CMOS logic process [A]. 37TH IEEE International Reliability Physics Symposium Proceedings [C], San Diego, CA, USA, 1999:1 - 12.
- [2] 郝跃. 集成电路制造动力学理论与方法 [M]. 北京:北京教育出版社, 1995:93 - 187.
- [3] L Peters. Yield is everything [J]. International Semiconductor, 1998, 21 (14):40 - 41.
- [4] Taeho Kim, Way Kuo. Modeling manufacturing yield and reliability [J]. IEEE Transactions on Semiconductor Manufacturing, 1999, 12 (4):485 - 492.
- [5] C H Stapper. On yield, fault distributions and clustering of particles [J]. IBM J. Res. Develop. 1986, 30(3):326 - 328.
- [6] H Sato, M Ikota, A Sugimoto, et al. A new defect distribution metrology with a consistent discrete exponential formula and its applications [J]. IEEE Transactions on Semiconductor Manufacturing, 1999, 12(4):409 - 418.
- [7] A V Ferris-Prabhu. Defect size variations and their effect on the critical area of VLSI devices [J]. IEEE J. Solid-State Circuits, 1985, 20(4):874 - 878.
- [8] Eric Bruls. Quality and reliability impact of defect data analysis [J]. IEEE Transactions on Semiconductor Manufacturing, 1995, 8(2):121 - 129.

作者简介:



赵天绪 男. 1964年5月生, 陕西省宝鸡人. 1986年7月获宝鸡师范学院理学学士学位, 分别于1992年1月和2000年3月获西安电子科技大学理学硕士学位和工学博士学位. 主要研究方向为IC可制造性与统计最优化技术, IC缺陷模型与故障识别以及VLSI容错设计等, 发表论文十余篇.



郝跃 男. 1958年3月出生于重庆市. 分别于1985年和1991年获西安电子科技大学硕士学位和西安交通大学博士学位. 现为西安电子科技大学教授, 副校长, 博士生导师. IEEE高级会员和中国电子学会高级会员. 主要研究领域为IC可制造性和可靠性理论于设计方法, 新器件和电路, IC统计优化和模型等, 发表论文90余篇.